

DERWENT-ACC-NO: 1991-158975
DERWENT-WEEK: 199122
COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Semiconductor memory - contacts either source or
drain of MOSFET formed
in well on conductive buried layer on substrate against
buried layer NoAbstract
Dwg 1/4

PATENT-ASSIGNEE: NEC CORP[NIDE]

PRIORITY-DATA: 1989JP-0230788 (September 5, 1989)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
PAGES	MAIN-IPC	
JP 03093266 A	April 18, 1991	N/A
000	N/A	

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP03093266A	N/A	1989JP-0230788
September 5, 1989		

INT-CL (IPC): H01L027/11

ABSTRACTED-PUB-NO:

EQUIVALENT-ABSTRACTS:

TITLE-TERMS:

SEMICONDUCTOR MEMORY CONTACT SOURCE DRAIN MOSFET FORMING
WELL CONDUCTING BURY
LAYER SUBSTRATE BURY LAYER NOABSTRACT

DERWENT-CLASS: U13 U14

EPI-CODES: U13-D02; U14-A03B;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1991-121968

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-93266

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)4月18日

H 01 L 27/11

8624-5F

H 01 L 27/10

3 8 1

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 半導体メモリ

⑯ 特 願 平1-230788

⑰ 出 願 平1(1989)9月5日

⑱ 発 明 者 木 本 寿 充 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発 明 の 名 称

半 導 体 メ モ リ

特 許 請 求 の 範 囲

半導体基板表面に一導電型の埋込層が形成され、その上に一導電型のウェルが形成され、前記ウェル内に他の導電型のソースドレインが形成されたMOS-FETからなるフリップフロップ回路を構成する半導体メモリにおいて、前記ソースおよびドレインのうち少なくとも一部が前記埋込層と接していることを特徴とする半導体メモリ。

発 明 の 詳 細 な 説 明

(産業上の利用分野)

本発明は半導体メモリに関し、特にα線によるソフトエラーの発生を防止したメモリセルの構造に関するものである。

(従来技術)

半導体メモリのうち、MOS-FETを用いたSRAMの高抵抗負荷型メモリセルの回路図を第4図に示す。

第3図に従来技術によるメモリセルの断面構造を示す。

P型半導体基板1の表面にP⁺型埋込層2が形成され、その上に成長したN型エピタキシャル層に形成されたP⁻ウェル3の表面に、LOCOS法によりフィールド酸化膜4が形成されている。

ソースドレインとなるN⁺型拡散層5が形成され、ゲート酸化膜6を隔ててポリシリコンからなるゲート電極7が形成され、層間絶縁膜8の開口を通してポリシリコンからなる抵抗素子9が形成され、表面保護膜10と平坦化膜11の開口を通してアルミニウム配線12が形成されている。

(発明が解決しようとする課題)

半導体集積回路の高速化、高集積化に伴ない、素子パターンの微細化が一段と進み、メモリセルの容量素子が縮小される傾向がある。

このため α 線によるソフトエラーの発生が問題になっている。

α 線が入射すると、半導体中を通過している間にエネルギーを失いながら電子-正孔対を生成し、その電荷総量は約 0.2 pQ (pico coulomb) に達する。

第4図の回路図において、ノード N_1 、 N_2 の容量を C 、ノード N_1 、 N_2 間の電位差を ΔV とし、この積を $Q_{crit} = C \cdot \Delta V$ として臨界電荷量を定義することができる。

この値が大きいほど α 線に強いことになり、ノードに流入する電荷量が臨界電荷量を越えなければ、メモリセルは安定に動作することが明らかにされている。

しかしながらノード容量が小さいと、 Q_{crit} 値が小さくなるため、 α 線により生成した電荷のうち、ノードに流入する電荷が Q_{crit} 値を越え易くなり、ソフトエラーが発生するという問題があった。

本発明の目的は、メモリセルのサイズを大きく

することなく、ノード容量を増加して α 線耐量を改善するものである。

(課題を解決するための手段)

本発明の半導体メモリは、半導体基板表面に一導電型の埋込層が形成され、その上に一導電型のウェルが形成され、前記ウェル内に他の導電型のソースドレインが形成されたMOS-FETからなるフリップフロップ回路を構成しており、前記ソースおよびドレインのうち少なくとも一部が前記埋込層と接しているものである。

(実施例)

本発明の第1の実施例について、第1図を参照して説明する。

P型半導体基板1の表面に P^+ 型埋込層2が形成され、その上に成長したN型エピタキシャル層に形成された P^- ウェル3の表面に、LOCOS法によりフィールド酸化膜4が形成されている。

つぎにソースドレインとなる深い N^+ 型拡散層5aが形成される。

ここでは N^+ 拡散層5は P^+ 型埋込層7に届い

て $P^+ - N^+$ 接合を構成している。

ゲート酸化膜6を隔ててポリシリコンからなるゲート電極7が形成され、層間絶縁膜8の開口を通してポリシリコンからなる抵抗素子9が形成され、表面保護膜10と平坦化膜11の開口を通してアルミニウム配線12が形成されている。

つぎに本発明の第2の実施例について、第2図を参照して説明する。

ここではメモリセル部のMOS-FETの、ノード容量に関与するソースあるいはドレインの N^+ 型拡散層5aのみを深くして、 P^+ 型埋込層と接合を構成させ、他のノード容量に関与しないソースやドレインの N^+ 型拡散層5は、周辺回路素子と同一の浅い拡散としている。

(発明の効果)

本発明によって、 α 線によるソフトエラーを防止するのに十分な容量をメモリセルに深くすることができる。

さらに第2の実施例に示ようにノード容量に関与するソースあるいはドレインのみを付加する

ことにより、スピードを落さず、面積も増加させずに容量を増加させることができる。

すなわちメモリセル部のMOS-FETのソースドレインの N^+ 型拡散層を深くして、 P^+ 型埋込層と $P^+ - N^+$ 接合を構成している。

P^- ウェルに比べて、 P^+ 型拡散層の濃度は2.0倍にも達する。

傾斜接合と仮定すると、 $P - N$ 接合容量は濃度の3乗根に比例するので、メモリセル部におけるソースおよびドレイン部の N^+ 型拡散層の底面の接合容量は約2.7倍に増加する。

また深さ方向に約5倍に N^+ 型拡散層が拡がるので、側面の接合容量が約5倍に増加する。

拡散層底面容量はノード容量の約30%、拡散層側面容量はノード容量の約15%を占めているので、ノード容量全体では約2.1倍の増加を実現できる。

すなわち α 線の入射により生成された電荷 0.2 pQ のうち、ノードに流入する電荷は 0.04 pQ であるが、従来技術によるメモリセルのノー

ド容量は8 p fであり、 $\Delta V = 4.5 \text{ V}$ であれば、臨界電荷量 $Q_{crit} = 8 \times 10^{-3} \times 4.5 = 0.036 \text{ p Q}$ となり、ソフトエラーが起こる。

一方本発明によれば、ノード容量が2.1倍の16.8 p Fとなり、 $Q_{crit} = 16.8 \times 10^{-3} \times 4.5 = 0.0756 \text{ p Q}$ で、ノードに流入する電荷0.04 p Qに比べて十分な余裕があり、メモリセルを安定に動作させることができる。

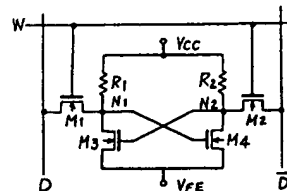
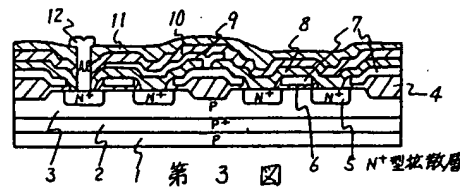
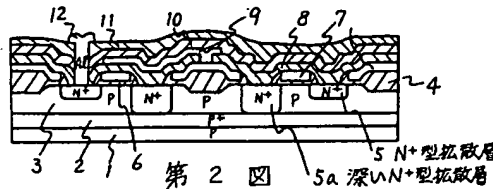
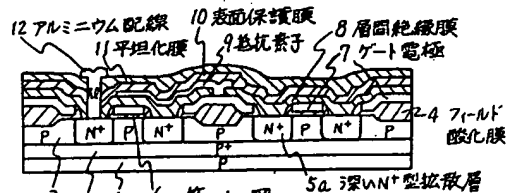
膜、7…ゲート電極（ポリシリコン）、8…層間絶縁膜、9…抵抗素子（ポリシリコン）、10…表面保護膜、11…平坦化膜、12…アルミニウム配線、M₁～M₄…NチャネルMOS-FET、N₁、N₂…ノード、R₁、R₂…抵抗素子、W…ワード線、D、 \bar{D} …ディジット線。

代理人 弁理士 内 原 晋

図面の簡単な説明

第1図は本発明の第1の実施例による、半導体メモリのメモリセル部の断面図、第2図は本発明の第2の実施例による、半導体メモリのメモリセル部の断面図、第3図は従来技術による、半導体メモリのメモリセル部の断面図、第4図は第1図～第3図に共通のメモリセルの回路図である。

1…P型半導体基板、2…P⁺型埋込層、3…P⁻ウェル、4…フィールド酸化膜、5…N⁺型拡散層（ソースドレイン）、5a…深いN⁺型拡散層（ソースドレイン）、6…ゲート酸化



第4図